(19) BUNDESREPUBLIK DEUTSCHLAND

DEUTSCHES PATENT- UND MARKENAMT

(12) **Offenlegungsschrift**

(10) **DE 197 38 990 A 1**

(51) Int. Cl.[6]: **G 06 K 19/073**

(21) Aktenzeichen: 197 38 990.2
(22) Anmeldetag: 5. 9. 97
(43) Offenlegungstag: 11. 3. 99

DE 197 38 990 A 1

(71) Anmelder:
Siemens AG, 80333 München, DE

(72) Erfinder:
Steger, Max, Dipl.-Ing., 81737 München, DE;
Hierold, Christopher, Dr., 81739 München, DE;
Thewes, Roland, Dipl.-Ing., 80807 München, DE;
Mauthe, Manfred, Dipl.-Ing., 85655 Großhelfendorf, DE;
Schmitt-Landsiedel, Doris, Dr., 85521 Ottobrunn, DE

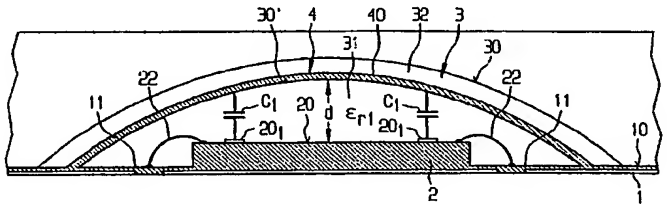
(56) Entgegenhaltungen:
DE 42 12 111 A1
DE 39 27 887 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Einrichtung zum Schutz gegen Mißbrauch einer Chipkarte

(57) Bei der Einrichtung ist ein Chip (2) der Karte (1) von einer dielektrischen Abdeckung (3) geschützt, in der eine Kapazitätsanordnung (4) mit einem chipspezifischen Kapazitätswert (C_{ref}) angeordnet. Der Kapazitätswert wird jedesmal bei Benutzung der Karte (1) erneut abgetastet und geprüft, ob der abgetastete Kapazitätswert mit dem chipspezifischen Kapazitätswert übereinstimmt. Nur bei Übereinstimmung wird eine Funktion der Karte freigegeben. Vorteil: Starker Schutz, der durch weitere kompatible Maßnahmen noch verstärkbar ist.



DE 197 38 990 A 1

Beschreibung

Der Einsatz von Chipkarten insbesondere in Sicherheitsbereichen nimmt stark zu, und die Funktionen, die diesen Karten übertragen werden, sind immer mehr ein Risiko für den Betreiber. Mißbrauch kann großen Schaden anrichten und muß deshalb möglichst ausgeschaltet werden.

Der Erfindung liegt die Aufgabe zugrunde, aufzuzeigen, wie eine Chipkarte effektiv gegen Mißbrauch geschützt werden kann.

Diese Aufgabe wird durch eine Einrichtung zum Schutz gegen Mißbrauch einer Chipkarte gelöst, welche die im kennzeichnenden Teil des Anspruchs 1 angegebenen Merkmale aufweist, d. h.

- einen auf der Karte vorgesehenen Chip, der von einer Abdeckung aus einem Dielektrikum gegen äußere Einflüsse geschützt ist,
- eine in der Abdeckung ausgebildete Kapazitätsanordnung, die einen chipspezifischen Kapazitätswert aufweist, und
- eine im Chip ausgebildete und an die Kapazitätsanordnung gekoppelte Schaltungseinrichtung zur wiederholbaren Abtastung des Kapazitätswertes der Kapazitätsanordnung und Erzeugung zumindest eines Signals zur Freigabe einer Funktion der Karte nur dann, wenn der abgetastete Kapazitätswert mit dem chipspezifischen Kapazitätswert übereinstimmt.

Bei der erfindungsgemäßen Einrichtung wird ein Mißbrauch durch Chipmanipulation durch eine sensible Kapazitätsabtastung an der Kapazitätsanordnung in der den Chip abdeckenden Abdeckung aus Dielektrikum ausgeschaltet.

Kapazitätsanordnung bedeutet bei der erfindungsgemäßen Einrichtung jede elektrische Leiteranordnung, die eine Kapazität mit einem bestimmten festen Kapazitätswert $C = Q/U$ aufweist, wobei Q die elektrische Ladungsmenge und U die elektrische Spannung sind.

Die Kapazitätsanordnung weist vorzugs- und vorteilhafterweise eine in der Abdeckung aus Dielektrikum ausgebildete und in einem Abstand vom Chip angeordnete elektrisch leitende Schicht auf (Anspruch 2), die sich vorzugsweise über den ganzen Chip erstreckt (Anspruch 3).

Bei einer vorteilhaften Ausgestaltung der erfindungsgemäßen Einrichtung weist die Kapazitätsanordnung zumindest eine in der Abdeckung aus Dielektrikum ausgebildete weitere elektrisch leitende Schicht auf, die in einem Abstand vom Chip angeordnet und von der einen Schicht elektrisch isoliert ist (Anspruch 4), und die sich vorzugsweise über den ganzen Chip erstreckt (Anspruch 5). Diese Schichten bilden eine ganz in der Abdeckung ausgebildete Kapazitätsanordnung, die in dem Fall, daß sich die Schichten über den ganzen Chip erstrecken, über den ganzen Chip verteilt ist. Bei einer einfachen Ausgetaltung der erfindungsgemäßen Einrichtung besteht die Kapazitätsanordnung, deren Kapazitätswert abzutasten ist, nur aussolchen elektrisch leitenden Schichten in der Abdeckung aus Dielektrikum.

Es ist im Hinblick auf eine Verstärkung des Schutzes gegen Chipmanipulation günstig, wenn zumindest eine elektrisch leitende Schicht in der Abdeckung unregelmäßig strukturiert ist (Anspruch 6), um eine unregelmäßige Kapazitätsanordnung in der Abdeckung zu erzeugen.

Die erfindungsgemäße Einrichtung kann auch so ausgebildet sein daß zumindest eine elektrisch leitende Schicht vorgesehen ist, die auf einer von der Abdeckung abgedeckten Qberfläche des Chips ausgebildet ist (Anspruch 7).

Eine bevorzugte und vorteilhafte Ausführungsform einer Einrichtung nach Anspruch 7 ist so ausgebildet, daß auf der

Oberfläche des Chips eine Schichtanordnung aus zumindest zwei elektrisch leitenden Schichten ausgebildet ist, zwischen denen sich ein Dielektrikum befindet (Anspruch 8). Die Schichtanordnung bildet eine eigene Kapazitätsanordnung. Eine auf der Oberläche des Chip ausgebildete elektrisch leitende Schicht oder Schichtanordnung nach Anspruch 7 oder 8 kann von der aus einer oder mehreren der elektrisch leitenden Schichten nach einem der Ansprüche 2 bis 6 bestehenden Kapazitätsanordnung elektrisch isoliert sein, welche in diesem Fall die einzige Kapazitätsanordnung ist deren Kapazitätswert abzutasten ist. Andererseits kann die Schichtanordnung die einzige in der Abdeckung ausgebildete Kapazitätsanordnung der erfindungsgemäßen Einrichtung sein, deren Kapazitätswert abzutasten ist. Vorzugs- und vorteilhafterweise ist jedoch eine elektrisch leitende Schicht oder Schichtanordnung nach Anspruch 7 oder 8 mit der oder den Schichten nach einem der Ansprüche 2 bis 6 zusammengeschaltet, so daß sie gemeinsam die Kapazitätsanordnung bilden, deren Kapazitätswert abzutastenist. Jedenfalls ist es zweckmäßig, wenn die Kapazitätsanordnung, deren Kapazitätswert abzutasten ist, zumindest eine auf der Oberfläche des Chips ausgebildete elektrisch leitende Schicht aufweist (Anspruch 9).

Eine bevorzugte und vorteilhafte Ausgestaltung der Einrichtung nach einem der Ansprüche 7 bis 9 ist derart ausgebildet, daß eine auf der Oberfläche des Chips ausgebildete elektrisch leitende Schicht unregelmäßig strukturiert ist und zumindest einen Augangsanschluß der Schaltungseinrichtung zur Abgabe eines Signals zur Freigabe einer Funktion der Karte abdeckt (Anspruch 10). Dadurch ist vorteilhafterweise eine flächige Abdeckung eines oder mehrerer Augangsanschlüsse der Schaltungseinrichtung zur jeweiligen Abgabe eines Signals zur Freigabe einer Funktion der Karte mit der unregelmäßig strukturierten Schicht auf der Oberfläche des Chips und damit zur Sicherung dieser Ausgangsanschlüsse ermöglicht.

Unregelmäßig strukturiert bedeutet generell unregelmäßige Längs- und/oder Querababmessungen und/oder unregelmäßige Dicke der betreffenden Schicht.

Bei einer besonders bevorzugten und vorteilhaften erfindungsgemäßen Einrichtung sind die Maßnahmen nach Anspruch 8, 9 und 10 mit einander derart kombiniert, daß die Schichtanordnung zumindest zwei benachbarte elektrisch leitende Schichten aufweist, die ineinandergreifend strukturiert sind, wobei die Schichtanordnung zumindest einen Augangsanschluß der Schaltungseinrichtung zur Abgabe eines Signals zur Freigabe einer Funktion der Karte abdeckt (Anspruch 11).

Daß zwei benachbarte aber elektrisch voneinander isolierte Schichten aus elektrisch leitendem Material ineinandergreifend strukturiert sind bedeutet, daß jede dieser beiden Schichten zumindest eine Einbuchtung aufweist, in die eine Ausbuchtung der andern Schicht eingreift.

Eine elektrisch leitende Schicht in der Abdeckung und eine einzelne elektrisch leitende Schicht auf der Oberfläche des Chips bilden, wenn sich zwischen ihnen ein Dielektrikum befindet, gemeinsam eine einzelne Kapazitätsanordnung, die zumindest Teil der Kapazitätsanordnung ist, deren Kapazität abzutasten ist. Wenn wie im Fall der Ansprüche 8 oder 11 auf der Oberfläche des Chips zwei oder mehrere elektrisch leitende Schichten ausgebildet sind, bildet jede elektrisch leitende Schicht auf der Oberfläche des Substrats zusammen mit der in der Abdeckung ausgebildeten und in einem Abstand vom Chip angeordneten elektrisch leitenden Schicht je eine einzelnen Kapazitätsanordnung. Diese zwei oder mehreren einzelnen Kapazitätsanordnungen sind seriell zusammengeschaltet und bilden gemeinsam die Kapazitätsanordnung, deren Kapazitätswert abzutasten ist und sich

aus den Kapazitätswerten der einzelnen Kapazitätsanordnungen bestimmt.

Besonders vorteilhaft im Hinblick auf eine Verstärkung des Schutzes gegen eine Chipmanipulation ist es, die elektrisch leitenden Schichten nach einem der Ansprüche 4 bis 6 mit einer oder mehreren elektrisch leitenden Schichten nach Anspruch 10 oder 11 zu kombinieren. Durch eine solche Kombination ist vorteilhafterweise eine doppelte Absicherung des Schutzes gegen mißbräuchlichen Chipzugang oder Chipmanipulation ermöglicht.

Bei dieser Ausgestaltung ist die Absicherung des Schutzes einmal durch die Kapazitätsanordnung, deren Kapazitätawert abzutasten ist, und zusätzlich durch die flächige Abdeckung eines oder mehrerer Augangänge der Schaltungseinrichtung zur jeweiligen Abgabe eines Signals zur Freigabe einer Funktion der Karte mit der unregelmäßig strukturierten Schicht auf der Oberfläche des Chips und damit doppelt gegeben.

Die Abdeckung aus Dielektrikum, die den Chip abdeckt, besteht vorzugsweise aus Epoxidharz (Anspruch 12).

Gemäß einer bevorzugten und vorteilhaften Ausgestaltung der erfindungsgemäßen Einrichtung weist die an die Kapazitätsanordnung gekoppelte Schaltungseinrichtung

- eine an die Kapazitätsanordnung gekoppelte Signalerzeugungseinrichtung zur wahlweisen Abtastung des Kapazitätswertes der Kapazitätsanordnung und jeweiligen Erzeugung eines Signals mit einem Signalparameter, der einen für den abgetasteten Kapazitätswert charakteristischen Parameterwert aufweist,
- eine Codierungseinrichtung zur Codierung des Parameterwertes des Signalparameters jedes erzeugten Signals nach einem vorgebbaren Code und Erzeugung eines für diesen Parameterwert charakteristischen Codewortes,
- eine Speichereinrichtung zur von außen unzugänglichen Speicherung eines ausgewählten erzeugten Codewortes als Kennung des chipspezifischen Kapazitätswertes und
- eine Komparatoreinrichtung zum Vergleichen eines nach der Speicherung des ausgewählten Codewortes durch Abtastung des Kapazitätswertes erneut erzeugten Codewortes mit dem gespeicherten ausgewählten Codewortes und Erzeugen eines Signals zur Freigabe einer Funktion der Karte nur dann, wenn das erneut erzeugte Codewort mit dem gespeicherten ausgewählten Codewort übereinstimmt, auf (Anspruch 13).

Daß der Parameterwert charakteristisch für den Kapazitätswert und der Parameterwert charakteristisch für das Codewort ist bedeutet, daß jedem Kapazitätswert genau ein Parameterwert und jedem Parameterwert genau ein Codewort zugeordnet ist und daß der Parameterwert für verschiedene Kapazitätswerte verschieden und das Codewort für verschiedene Parameterwerte verschieden ist, so daß jeweils eine eindeutige umkehrbare Zuordnung zwischen Parameterwert und Kapazitätswert und zwischen Codewort und Parameterwert gegeben ist.

Die Signalerzeugungseinrichtung besteht vorzugsweise aus einem an die Kapazitätsanordnung angeschlossenen Oszillator, der ein Signal einer den Signalparameter bildenden Frequenz erzeugt, deren Wert für den abgetasteten Kapazitätswert charakteristisch ist (Anspruch 14). Der Oszillator ist vorzugsweise eine SC-Oszillatorschaltung (SC steht für Switched Capacity).

Die Codierungseinrichtung weist vorzugsweise einen Frequenzzähler fester Zählperiode auf, der bei jeder Abtastung des Kapazitätswertes der Kapazitätsanordnung die Frequenz des vom Oszillator erzeugten Signals die Dauer einer Zählperiode lang zählt und nach Ablauf dieser Dauer als eine den Wert der Frequenz charakterisierende Zahl als Codewort zur Bildung des zu erzeugenden Codewortes bereitstellt (Anspruch 15).

Vorzugsweise erzeugt die Codierungseinrichtung ein Codewort, in welchem neben dem Parameterwert des Signalparameters jedes erzeugten Signals ein personenspezifisches Codewort enthalten ist (Anspruch 16). In Kombination mit der Maßnahme des Anspruchs 15 weist die Codierungseinrichtung nach Anspruch 16 vorzugsweise eine Verknüpfungseinrichtung auf, welche jede vom Zähler bereitgestellte Zahl nach einem vorgebbaren Verknüpfungsalgorithmus mit einer das personenspezifische Codewort bildenden Zahl verknüpft und die durch die jeweils miteinander verknüpften Zahlen gebildete Zahl als das zu erzeugende Codewort bereitstellt (Anspruch 17).

Die Speichereinrichtung ist vorzugsweise mit der Speichereinrichtung durch eine Übertragungsleitung zur Übertragung des von der Codiereinrichtung erzeugten ausgewählten Codewortes in die Speichereinrichtung verbunden, und daß eine Einrichtung zur irreversiblen Unterbrechung der Übertragungsleitung von außen nach einer Speicherung des erzeugten ausgewählten Codewortes als die Kennung des chipspezifischen Kapazitätswertes vorgesehen ist (Anspruch 18).

Vorzugsweise ist das Freigabesignal auf in verschiedenen Freigabepunkten auf der Oberfläche des Chips angeordnete Ausgänge des Chips verteilt (Anspruch 19).

Die erfindungsgemäße Einrichtung ist vorteilhaft bei Hochsicherheitssystemen einsetzbar.

Die Erfindung wird in der nachfolgenden Beschreibung anhand der Figuren beispielhaft näher erläutert. Es zeigen:

Fig. 1 einen Querschnitt durch eine Chipkarte mit einem ersten Ausführungsbeispiel einer erfindungsgemäßen Einrichtung;

Fig. 2 das Ausführungsbeispiel nach **Fig.** 1 in vereinfachter Darstellung;

Fig. 3 einen Querschnitt durch eine Chipkarte mit einem zweiten Ausführungsbeispiel einer erfindungsgemäßen Einrichtung;

Fig. 4 das zweite Ausführungsbeispiel nach **Fig.** 2 in vereinfachter Darstellung;

Fig. 5 in vereinfachter Darstellung eine auf dem zweiten Ausführungsbeispiel basierende beispielhafte erfindungsgemäße Einrichtung mit einer Anordnung aus zwei benachbarten aber elektrisch voneinander isolierten ineinandergreifenden elektrisch leitenden Schichten auf der Oberfläche des Chips;

Fig. 6 in vereinfachte Darstellung eine andere Anordnung aus fünfbenachbarten aber elektrisch voneinander isolierten ineinandergreifenden elektrisch leitenden Schichten auf der Oberfläche des Chips, die anstelle der Anordnung nach **Fig.** 5 verwendet werden kann; und

Fig. 7 ein Blockschaltbild eines Ausführungsbeispiels einer Schaltungseinrichtung zur wiederholbaren Abtastung des Kapazitätswertes der Kapazitätsanordnung und Erzeugung zumindest eines Signals zur Freigabe einer Funktion der Karte der erfindungsgemäßen Einrichtung.

Bei den Ausführungsbeispielen nach den **Fig.** 1 und 3 ist auf einer flachseitigen Oberfläche **10** einer ausschnitthaft dargestellten Chipkarte **1** ein Chip **2** mit einer von der Oberfläche **10** der Karte **1** abgekehrten Oberfläche **20** angeordnet. Beispielsweise kann die Oberfläche **10** der Boden einer auf einer Flachseite der Chipkarte **1** ausgebildeten Aussparung sein, die nicht bis zu der von der einen Flachseite abgekehrten anderen Flachseite der Karte **1** in die Tiefe reicht.

Der Chip **2** ist durch eine Abdeckung **3** aus einem Dielek-

trikum, beispielsweise Epoxidharz, zum Schutz gegen äußere Einflüsse auf den Chip **2** abgedeckt, die auf den gebondeten Chip **2** aufgebracht ist. Die Abdeckung **3** weist eine von der Oberfläche **10** der Karte **1** und Oberfläche **20** des Chips **2** abgekehrte, konvex gewölbte Oberfläche **30** auf, die den ganzen Chip **2** überspannt und an der Oberfläche **10** der Karte **1** endete. Eine derartige Abdeckung **3** wird auch "Globe-Top" genannt.

In der Abdeckung **3** ist eine elektrisch leitende, beispielsweise metallene Schicht **40** in einem Abstand d vom Chip **2** ausgebildet, welche den Chip **2** ähnlich wie die Oberfläche **30** der Abdeckung **3** überspannt und an der Oberfläche **10** der Karte **1** endet.

Beim Beispiel nach **Fig. 1** kann die Schicht **40** beispielsweise so hergestellt werden, daß zunächst der Chip **2** mit einer Abdeckung **31** aus Dielektrikum abgedeckt wird, welche eine der Oberfläche **30** ähnliche konvex gewölbte Oberfläche **30'** aufweist. Auf diese Oberfläche **30'** wird die elektrisch leitende, beispielsweise metallene Schicht **40** aufgebracht, z. B. durch Bedampfen. Danach wird auf die elektrisch leitende Schicht **40** eine zusätzliche Schicht **32** aus Dielektikum aufgebracht, die zusammen mit der bisherigen Abdeckung und der elektrisch leitenden Schicht **40** die Abdeckung **3** bildet. Die von der Oberfläche **10** der Karte **1**, von der Oberfläche **20** des Chips **2** und der elektrisch leitenden Schicht **40** abgekehrte Oberfläche der zusätzlichen Schicht **32** aus Dielektrikum bildet die Oberfläche **30** der Abdeckung **3**.

Auf der Oberfläche **20** des Chips **2** sind beim Beispiel nach **Fig. 1** voneinander isolierte elektrisch leitende, beispielsweise metallene Schichten $\mathbf{20}_i$ ausgebildet, die durch Bonddrähte **22** mit auf der Karte **1** ausgebildeten elektrischen Leitungen **11**, beispielsweise Schichten aus Metall, verbunden sind.

Die Schichten $\mathbf{20}_i$ bilden Gegenelektroden zur Schicht **40** in der Abdeckung **3** und die Schicht **40** und die Schichten $\mathbf{20}_i$ bilden gemeinsam die in der Abdeckung **3** ausgebildete Kapazitätsanordnung **4**, die einen chipspezifischen Kapazitätswert C aufweist.

Speziell besteht beim Beispiel nach **Fig. 1** die Kapazitätsanordnung **4** aus mehreren, beispielsweise zwei in Serie geschalteten einzelnen Kapazitätsanordnungen, deren jede aus der Schicht **40** und jeweils einer der mehreren Schichten $\mathbf{20}_i$ besteht und jeweils einen durch die Dielektrizitätskonstante ε_{ri} des Dielektrikums der Abdeckung **3** mitbestimmten Kapazitätswert C_i aufweist, der von Schicht $\mathbf{20}_i$ zu Schicht $\mathbf{20}_i$ gleich oder verschieden sein kann. Der abzutastende Kapazitätswert C der Kapazitätsanordnung **4** bestimmt sich in bekannter Weise aus den Kapazitätswerten C_i aller einzelnen Kapazitätsanordnungen.

In der **Fig. 2** ist das Wesentliche des Aufbaus nach **Fig. 1** bezüglich der Kapazitätsanordnung **4** vereinfacht dargestellt.

Vorzugsweise bilden oder sind die Schichten $\mathbf{20}_i$ mit Eingängen **50'** und **50"** einer im Chip **2** ausgebildeten und an die Kapazitätsanordnung **4** gekoppelten Schaltungseinrichtung **5** zur wiederholbaren Abtastung des Kapazitätswertes C der Kapazitätsanordnung **4** und Erzeugung zumindest eines Signals S zur Freigabe einer Funktion der Karte **1** nur dann, wenn der abgetastete Kapazitätswert C der Kapazitätsanordnung **4** mit einem chipspezifischen Kapazitätswert C_{ref} übereinstimmt, verbunden.

Beim Beispiel nach den **Fig. 1** und **2** liegen zwei oder mehrere in Serie geschaltete Kapazitätsanordnungen mit jeweils einem Kapazitätswert C_i und jeweils einem direktem Abgriff an den elektrisch leitenden Schichten $\mathbf{20}_i$ am Chip **2** vor. Für diesen Abgriff ist kein zusätzliches Bonden nötig, jedoch kann die benötigte Fläche für die Schichten $\mathbf{20}_i$ Chip **2** unter Umständen groß sein.

Zur Kapazitätsanordnung **4** beitragende elektrisch leitende Schichten $\mathbf{20}_i$ auf dem Chip **2** sind beim Ausführungsbeispiel nach **Fig. 3** nicht erforderlich. Bei diesem Ausführungsbeispiel ist die Kapazitätsanordnung **4** aus der in der Abdeckung **3** und in einem Abstand d vom Chip **2** ausgebildete elektrisch leitenden Schicht **40** und einer ebenfalls in dieser Abdeckung **3** und in einem Abstand d' vom Chip **2** ausgebildeten weiteren elektrisch leitenden, beispielsweise metallenen Schicht **40'** gebildet, die von der einen Schicht **40** durch ein Dielektrikum getrennt ist. In diesem Fall ist die Kapazitätsanordnung **4**, deren Kapazitätswert C abzutasten ist, vollständig in den "Globe-Top" verlegt.

Die Schicht **40'** kann ähnlich wie die Schicht **40** beim Beispiel nach den **Fig. 1** und **2** hergestellt werden. Auf die von der Oberfläche **10** der Karte **1**, von der Oberfläche **20** des Chips **2** und von der elektrisch leitenden Schicht **40** abgekehrte Oberfläche **30"** der zusätzlichen Schicht **32** aus Dielektrikum wird die weitere elektrisch leitende Schicht **40'** aufgebracht. Danach wird auf die weitere Schicht **40'** eine zusätzliche weitere Schicht **33** aus Dielektikum aufgebracht, die zusammen mit der bisherigen Abdeckung **31**, der elektrisch leitenden Schicht **40**, der zusätzlichen Schicht **32** aus Dielektrikum und der weiteren elektrisch leitenden Schicht **40'** die Abdeckung **3** bildet. Die von der Oberfläche **10** der Karte **1**, von der Oberfläche **20** des Chips **2**, der elektrisch leitenden Schicht **40** und der weiteren elektrisch leitenden Schicht **40'** abgekehrte Oberfläche der zusätzlichen weiteren Schicht **33** aus Dielektrikum bildet die Oberfläche **30** der Abdeckung **3**.

Zumindest eine der beiden elektrisch leitenden Schichten **40** und **40'** kann auch unregelmäßig struktiert sein, um eine unregelmäßige Kapazitätsanordnung **4** zu erzeugen. Dies gilt auch für die eine elektrisch leitende Schicht **40** des Beispiels nach den **Fig. 1** und **2**.

Beim Beispiel nach **Fig. 3** können die elektrisch leitenden Schichten **40** und **40'** vertauscht sein.

Die elektrisch leitende Schicht **40** und ebenso die elektrisch leitende Schicht **40'** wölben sich ähnlich konvex wie die Oberfläche **30** der Abdeckung **3** über den Chip **2** und überspannen diesen.

Beim Beispiel nach **Fig. 3** sind die elektrisch leitenden Schichten **40** und **40'** über spezielle Anschlußpads **23** bzw. **23'** an der einen Chipträger bildenden Karte **1** kontaktiert und mit dem Chip **2** über zwei Bonddrähte **22'** bzw. **22"** verbunden die vorteilhafterweise im gleichen Arbeitsgang mit anderen Pads gebondet werden können. Eine elektrisch leitende Schicht, beispielsweise die Schicht **40**, ist mit einem Eingang, beispielsweise dem Eingang **50'** der Schaltungseinrichtung **5** verbunden, während die andere Schicht, im Beispiel die Schicht **40'** mit dem anderen Eingang, im Beispiel dem Eingang **50"** der im Chip **2** ausgebildeten und an die Kapazitätsanordnung **4** gekoppelten Schaltungseinrichtung **5** verbunden ist, die zur wiederholten Abtastung des Kapazitätswertes C der Kapazitätsanordnung **4** und Erzeugung zumindest eines Signals S zur Freigabe einer Funktion der Karte **1** nur dann, wenn der abgetasteten Kapazitätswert C der Kapazitätsanordnung **4** mit dem chipspezifischen Kapazitätswert C_{ref} übereinstimmt, dient.

In der **Fig. 4** ist das Wesentliche des Aufbaus nach **Fig. 3** bezüglich der Kapazitätsanordnung **4** vereinfacht dargestellt.

Wird bei den beschriebenen Ausführungsbeispielen an der Oberfläche **30** der Abdeckung **3** manipuliert, beispielsweise um den Chip **2** freizulegen, so wird der Kapazitätswert C der Kapazitätsanordnung **4** verändert oder die Kapazitätsanordnung **4** zerstört, wobei sich eine Veränderung des abgetasteten Kapazitätswerts C ergibt, d. h. der nach einer

solchen Manipulation abgetastete Kapazitätswert C stimmt nicht mehr mit einem chipspezifischen ursprünglichen Kapazitätswert C_{ref} überein.

Die Beispiele nach den **Fig.** 1 und 2 und nach den **Fig.** 3 und 4 können miteinander kombiniert werden. Der Kapazitätswert C der Kapazitätsanordnung **4** ist in diesem Fall aus dem Kapazitätswert der aus den elektrisch leitenden Schichten **40** und **40'** gebildeten Kapazitätsanordnung und den Kapazitätswerten der aus der Schicht **40** und den Schichten **20_i** auf dem Chip **2** gebildeten Kapazitätsanordnungen gebildet. Sind zwei oder mehrere Schichten **20_i** auf der Oberfläche **10** des Chips **2** in einer Schichtanordnung angeordnet, die selbst eine Kapazitätsanordnung mit einem Kapazitätswert bildet, so trägt dieser Kapazitätswert mit allen übrigen Kapazitätswerten zu dem abzutastenden Kapazitätswert C der Kapazitätsanordnung **4** bei.

In der **Fig.** 5 ist ein speziell auf dem Beispiel nach den **Fig.** 3 und 4 basierendes Ausführungsbeispiel dargestellt, bei dem zusätzlich zu der aus den Schichten **40** und **40'** in der Abdeckung **3** ausgebildeten sichernden Kapazitätsanordnung eine weitere Schutzstruktur in Form einer auf der Oberfläche **20** des Chips **2** ausgebildeten Kapazitätsanordnung realisiert ist.

Die aus den Schichten **40** und **40'** bestehende Kapazitätsanordnung ist mit **4'** bezeichnet und entspricht der Kapazitätsanordnung **4** des Beispiels nach den **Fig.** 3 und 4 und ist wie in der **Fig.** 4 vereinfacht dargestellt. Die auf der Oberfläche **20** des Chips **2** ausgebildete Kapazitätsanordnung ist mit **4"** bezeichnet und besteht aus einer Schichtanordnung **21** aus zumindest zwei elektrisch voneinander isolierten Schichten **201**.

Beide Kapazitätsanordnungen **4'** und **4"** sind zusammengeschaltet und bilden gemeinsam die Kapazitätsanordnung **4**, deren Kapazitätswert C abzutasten ist und sich bei gegebener Zusammenschaltung in bekannter Weise aus dem Kapazitätswert C_3 der Kapazitätsanordnung **4'** und dem Kapazitätswert C_2 der Kapazitätsanordnung **4"** bestimmt.

Beispielsweise sind die Kapazitätsanordnungen **4'** und **4"** so zusammengeschaltet, daß eine Schicht der Kapazitätsanordnung **4'**, beispielsweise die Schicht **40**, und eine Schicht **20i** der Kapazitätsanordnung **4"** mit einem Eingang, beispielsweise dem Eingang **50'** der Schaltungseinrichtung **5** verbunden ist, und die andere Schicht der Kapazitätsanordnung **4'**, im Beispiel die Schicht **40'**, und die andere Schicht **20_i** der Kapazitätsanordnung **4"** mit dem anderen Eingang, im Beispiel dem Eingang **50"** der Schaltungseinrichtung **5** verbunden ist.

Die Kapazitätsanordnung **4** nach **Fig.** 5 könnte auch so ausgebildet sein, daß anstelle der beiden Schichten **40** und **40'** wie beim Beispiel nach den **Fig.** 1 und 2 in der Abdekkung **3** nur eine Schicht, beispielsweise die Schicht **40** vorgesehen ist.

Im übrigen bildet die auf der Oberfläche **20** des Chips **2** ausgebildete Kapazitätsanordnung **4"** nach **Fig.** 5 für sich allein bereits einen gewissen Schutz gegen Chipmanipulation, doch wird diese Kapazitätsanordnung **4"** vorzugsweise nicht allein, sondern mit einer anderen Schutzmaßnahme in Form einer zusätzlichen Kapazitätsanordnung wie beispielsweise der Anordnung **4'** nach **Fig.** 5 verwendet.

Die auf der Oberfläche **20** des Chips **2** ausgebildeten elektrisch leitenden Schichten **20_i** sind beispielsweise jeweils unregelmäßig strukturiert und decken zumindest einen Ausgang **50** der Schaltungseinrichtung **5** zur Abgabe eines Signals S zur Freigabe einer Funktion der Karte **1** ab.

Insbesondere weist beim Beispiel nach **Fig.** 5 die Schichtanordnung **21** zwei benachbarte elektrisch leitende Schichten **20_i** auf, die auf der Oberfläche **20** des Chips **2** ausgebildet, voneinander isoliert und ineinandergreifend strukturiert sind, wobei die Schichtanordnung **21** den zumindest einen Ausgangsanschluß **50** der Schaltungseinrichtung **5** zur Abgabe eines Signals S zur Freigabe einer Funktion der Karte **1** abdeckt.

Jede der beiden Schichten **201_i** weist beispielsweise jeweils mehrere Einbuchtungen **201** auf, in deren jede je eine beispielsweise fingerartige Ausbuchtung **202** der anderen Schicht **20_i** eingreift, so daß eine Interdigitalstruktur gegeben ist.

Die Schichtanordnung **21** kann auch mehr als zwei elektrisch voneinander isolierte benachbarte Schichten **20_i** aufweisen, deren jede jeweils mehrere Einbuchtungen **201** aufweist, in deren jede je eine Ausbuchtung **202** einer benachbarten Schicht **20_i** eingreift. In der **Fig.** 6 ist ein Ausführungsbeispiel einer derartigen Schichtanordnung **21** mit fünf benachbarten Schichten **20_i** mit jeweiligen Anschlüssen, die der Reihe nach mit I, II, III, IV und V bezeichnet sind, dargestellt. Jedes Paar benachbarter Schichten **20_i** bildet je eine einzelne Kapazitätsanordnung je eines Kapazitätswertes, wobei insgesamt vier solche einzelne Kapazitätsanordnungen **41** bis **44** gegeben sind, die in der **Fig.** 6 rechts neben der Schichtanordnung **21** noch einmal vereinfacht dargestellt sind und gemeinsam die Kapazitätsanordnung **4"** mit dem Kapazitätswert C_2 bilden, der sich aus den Kapazitätswerten der Kapazitätsanordnungen **41** bis **45** bestimmt.

Die Schichtanordnung **21** nach **Fig.** 6 definiert vorteilhafterweise eine unterbrechungssensitive Kapazitätsanordnung **4"** mit Mäanderstruktur, wobei Unterbrechungen einer Schicht **20_i** zu empfindlich detektierbaren Schwankungen des Kapazitätswertes C_2 führen können oder die Kapazitätsanordnung sogar zerstörten. Es besteht hier auch noch die Möglichkeit, die verschiedenen Schichten **20_i** über eine Schalteranordnung anzuschließen und so eine Diversifizierung der Kapazitätsanordnung herbeizuführen.

Die Schichtanordnung **21** nach **Fig.** 6 kann sehr groß ausgeführt werden und eine willkürliche Unterbrechung einiger Schichten **20_i** kann zu unterschiedlichen Kapazitätswertverhältnissen führen.

Bei den Beispielen nach den **Fig.** 5 und 6 wird der Schutz gegen Chipmanipulation doppelt abgesichert, einmal mit der verteilten Kapazitätsanordnung **4'** im "Globe-Top" und zusätzlich mit der Flächenabdeckung eines oder mehrerer Ausgänge **50** der Schaltungseinrichtung **5** oder eines oder mehrerer Freigabepunkte **6** (siehe **Fig.** 5) durch die Schichtanordnung **21**. Es ist somit eine große Sicherheit für den Chip **2** gewährleistet, wenn diese verteilten Kapazitätsanordnungen **4'** und **4"** die kritischen Stellen am Chip **2** vor unbefugter Manipulation, bzw. den Chip **2** selbst vor dem zerstörungsfreien Freilegen schützen. Die ungestörten Kapazitätswertverhältnisse bilden eine chipspezifische Identifikation, die nicht manipulierbar ist, da Kapazitätswerte in der Größenordnung von einigen 100 fF, wie sie bei den erfindungsgemäßen Kapazitätsanordnungen vorliegen, nicht von außen anschließbar sind, ohne schon durch die Verdrahtung veränderte Verhältnisse zu schaffen.

Die im Chip **2** ausgebildete und an die Kapazitätsanordnung **4** einer erfindungsgemäßen Einrichtung gekoppelte Schaltungseinrichtung **5** hat die Funktion, den Kapazitätswert C der Kapazitätsanordnung **4** wiederholt, beispielsweise bei jeder Benutzung der Karte **1** abzutasten und zumindest ein Signal S zur Freigabe einer Funktion der Karte **1** nur dann zu erzeugen, wenn der abgetastete Kapazitätswert C mit einem vorher abgetasteten Kapazitätswert der Kapazitätsanordnung **4**, der als chipspezifischer Kapazitätswert C_{ref} festgelegt wird, übereinstimmt, und die Funktion der Karte **1** nicht freizugeben, wenn der abgetastete Kapazitätswert C nicht mit dem chipspezifischen Kapazitätswert C_{ref} übereinstimmt.

In der **Fig. 7** ist ein bevorzugtes Ausführungsbeispiel der Schaltungseinrichtung **5** blockschaltbildmäßig dargestellt. Sie weist einen an die Kapazitätsanordnung **4** angeschlossenen Oszillator **51** auf, der ein Signal f einer Frequenz ω erzeugt, deren Wert ω_c für den abgetasteten Kapazitätswert C charakteristisch und speziell proportional zu diesem Kapazitätswert C ist. Der Oszillator **51** besteht vorzugsweise aus einer SC-Oszillatorschaltung und bildet speziell die an die Kapazitätsanordnung **4** gekoppelte Signalerzeugungseinrichtung zur wahlweisen Abtastung des Kapazitätswertes der Kapazitätsanordnung **4** und jeweiligen Erzeugung des Signals mit einem Signalparameter, der einen für den abgetasteten Kapazitätswert charakteristischen Parameterwert aufweist, wobei das Signal f das Signal der Signalerzeugungseinrichtung und die Frequenz ω den Signalparameter dieses Signals bildet.

Als Signalparameter können auch andere Signalgrößen als eine Frequenz, beispielsweise eine an der Kapazitätsanordnung **4** abgegriffene elektrische Spannung verwendet werden, wenn gewährleistet ist, daß diese andere Signalgröße charakteristisch für den Kapazitätswert C der Kapazitätsanordnung **4** ist. Entsprechend ist dann auch die Signalerzeugungseinrichtung **51** auszuführen.

Beim Beispiel nach **Fig. 7** mit dem Oszillators **51** zählt ein Frequenzzähler **521** die Frequenz ω des Signals f und erzeugt eine Zahl A_c, die für den Wert ω_c der Frequenz ω genauso charakteristisch ist, wie der Wert ω_c der Frequenz ω für den Kapazitätswert C der Kapazitätsanordnung **4**. Dazu ist der Frequenzzähler **521** beispielsweise so ausgebildet, daß er eine feste Zählperiode aufweist und bei jeder Abtastung des Kapazitätswertes C der Kapazitätsanordnung **4** die Frequenz ω des vom Oszillator **51** erzeugten Signals f die Dauer T einer Zählperiode lang zählt und nach Ablauf dieser Dauer T als die für den Wert ω_c der Frequenz ω charakteristische Zahl A_c bereitstellt.

Beträgt Dauer T jeder Zählperiode beispielsweise m aufeinanderfolgende Bits, wobei m eine vorgebbare natürliche Zahl ist, so sind 2^m+2 binär codierte Zahlen A_c mit je einem Wert zwischen 0 und 2^m möglich, die entsprechend viele Werte ω_c der Frequenz ω umkehrbar eindeutig charakterisieren und unter denen sich der für den chipspezifischen Kapazitätswert C_{ref} charakteristische Wert ω_{ref} der Frequenz ω befinden muß. Die dem Wert ω_{ref} zugeordnete Zahl A_{ref} unter den Zahlen A_c ist wie der Wert ω_{ref} für den chipspezifischen Kapazitätswert C_{ref} charakteristisch.

Eine Verknüpfungseinrichtung **522** verknüpft jede vom Zähler **521** bereitgestellte Zahl A_c nach einem frei wählbaren Verknüpfungsalgorithmus (*) mit einer personenspezifischen festen Zahl B und stellt eine durch die jeweils miteinander verknüpften Zahlen A_c und B gebildete Zahl $X = A_c(*)B$ bereit, die für den Kapazitätswert C genauso charakteristisch ist, wie die Zahl A_c oder der Wert ω_c. Die Zahl B ist vorzugsweise wie die Zahl A_c eine binär codierte Zahl einer Breite von m' Bits, und für die Zahlen $X = A_c(*)B$ steht eine Breite von n Bits zur Verfügung, wobei m' und n jeweils natürliche Zahlen sind und n größer als m ist, beispielsweise gleich m + m', wenn der Verknüpfungsalgorithmus (*) eine einfache arithmetische Addition ist der Zahlen A_c und B ist.

Der Frequenzzähler **521** und die Verknüpfungseinrichtung **522** bilden gemeinsam eine Codierungseinrichtung **52** zur Codierung des Wertes ω_c der Frequenz ω jedes erzeugten Signals f nach einem vorgebbaren Code und Erzeugung eines für diesen Wert ω_c der Frequenz ω charakteristischen Codewortes X.

Prinzipiell kann die Codierungseinrichtung **52** aus dem Frequenzzähler **521** allein bestehen, so daß die Zahl A_c selbst das zu erzeugende Codewort X bildet, doch ist die Verknüpfung der Zahl A_c mit einer personenspezifischen Zahl B ein weiterer unabhängiger Schutz der Chipkarte **1**, der in jedem Fall vorteilhaft ist und auf den nicht verzichtet werden sollte.

Bevor die Chipkarte **1** zur Benutzung freigegeben wird, wird der Kapazitätswert C der Kapazitätsanordnung **4** abgetastet und das für diesen Kapazitätswert C charakteristische Codewort $X = A_c(*)B$ erzeugt. Dieser Kapazitätswert C wird als der chipspezifische Kapazitätswert C_{ref} und dieses Codewort X als das die Kennung dieses chipspezifischen Kapazitätswerts C_{ref} bildende ausgewählte Codewort $X_{ref} = A_{ref}(*)B$ genommen.

Für das ausgewählte Codewort X_{ref}, das als einzigartige Identifikation der Chipkarte **1** anzusehen ist, darf es keine Möglichkeit einer nachträglichen Veränderung durch Manipulation geben. Um dies sicherzustellen ist eine Speichereinrichtung **53** zur von außen unzugänglichen Speicherung des die Kennung des chipspezifischen Kapazitätswertes C_{ref} bildenden ausgewählten erzeugten Codewortes X_{ref} vorgesehen.

Die von außen unzugängliche Speicherung des ausgewählten Codewortes X_{ref} in der Speichereinrichtung **53** wird vorzugsweise dadurch erreicht, daß die Codierungseinrichtung **52** durch eine Übertragungsleitung **530** mit der Speichereinrichtung **53**, die vorzugsweise ein EPROM ist, verbunden ist. Über diese Übertragungsleitung wird das ausgewählte Codewort $X_{ref} = A_{ref}(*)B$ zur Eingangsseite der Speichereinrichtung **53** übertragen und in die Speichereinrichtung **53** eingelesen. Das eingelesene Codewort X_{ref} wird bleibend in der Speichereinrichtung **53** gespeichert. Das gespeicherte Codewort X_{ref} ist auf der Ausgangsseite der Speichereinrichtung **53** auslesbar, wobei auf dieser Ausgangsseite keinerlei Möglichkeit zu einer Veränderung des gespeicherten Codeworts X_{ref} von außen besteht.

Damit auch keinerlei Möglichkeit zu einer Veränderung des gespeicherten Codeworts X_{ref} besteht, ist eine Einrichtung **531** zur irreversiblen Unterbrechung der Übertragungsleitung **530** von außen nach einer Speicherung des erzeugten ausgewählten Codewortes X_{ref} vorgesehen. Diese Einrichtung kann darin bestehen, daß die von der Codierungseinrichtung **52** zur Speichereinrichtung **53** führende Übertragungsleitung **530** durch Anlegen einer definierten elektrischen Spannung an einen von außen zugänglichen Kontakt mittels eines "Fuse-Blow" durchgeschmolzen wird.

Nach der Speicherung des ausgewählten Codewortes X_{ref} kann die Karte **1** zur Benutzung freigegeben werden, und bei jeder Benutzung der Karte **1** wird der Kapazitätswert C der Kapazitätseinrichtung **4** jeweils erneut abgetastet und jeweils das für diesen abgetasteten Kapazitätswert C charakteristische Codeword X erzeugt.

Jedes erneut abgetastete Codewort X wird nicht in der Speichereinrichtung **53** gespeichert und kann auch wegen der unterbrochenen Übertragungsleitung **530** nicht in der Speichereinrichtung **53** gespeichert werden, sondern wird einer Komparatoreinrichtung **54** mit dem in der Speichereinrichtung **53** gespeicherten und ausgewählten Codewort X_{ref} verglichen, das zu diesem Vergleich aus der Speichereinrichtung **53** ausgelesen wird, aber weiter unverändert in der Speichereinung **53** gespeichert bleibt.

Die Komparatoreinrichtung **54** erzeugt in Abhängigkeit vom Ergebnis des Vergleichs zumindest ein Signal S zur Freigabe einer Funktion der Karte **1** nur dann, wenn das erneut erzeugte Codewort X mit dem gespeicherten ausgewählten Codewort X_{ref} übereinstimmt, so daß die Funktion der Karte **1** jeweils nur dann freigegeben wird wenn das erneut erzeugte Codewort X mit dem gespeicherten ausgewählten Codewort X_{ref} übereinstimmt und nicht, wenn eine solche Übereinstimmung nicht besteht.

Das Freigabesignal S wird an einem Ausgang **50** der

Komparatoreinrichtung **54** abgegeben, der zugleich den Ausgang der Schaltungseinrichtung **5** bilden kann und vorzugsweise von einer unregelmäßig strukturierten Schicht 20_1 oder Schichtanordnung **21** aus solchen Schichten 20_1 auf der Oberfläche **20** des Chips **2** abgedeckt ist.

Aus dem Freigabesignal S wird vorzugsweise ein Freigabesignal S' erzeugt, das auf in verschiedenen Freigabepunkten **6** auf der Oberfläche **20** des Chips **2** angeordnete Ausgänge verteilt ist. Das verteilte Freigabesignal S' entspricht einem Signal, das in die Logik der Kartenfunktion eingebaut ist und eine Freigabe der Karte **1** bewirkt. Die Verteilung der Freigabepunkte **6** ist ein wesentlicher Beitrag zum Schutz der Kartenfunktion, da sie nicht sofort lokalisiert werden können und nicht nur als ein Punkt existieren, den es bei einer Manipulation zu verändern gilt.

Es ist sinnvoll, wenigstens einen dieser Freigabepunkte **6** von einer unregelmäßig strukturierten Schicht 20_1 oder Schichtanordnung **21** aus solchen Schichten 20_1 auf der Oberfläche **20** des Chips **2** abzudecken, um ihn zu schützen. In der **Fig. 5** sind beispielsweise drei Freigabepunkte **6** schematisch dargestellt, von denen einer außerhalb der Schichtanordnung **21** angeordnet und nicht von dieser abgedeckt ist, die anderen beiden dagegen im Bereich der Schichtanordnung **21** liegt und von dieser abgedeckt sind. Vorzugsweise liegt ein von der Schichtanordnung **21** abgedeckter Freigabepunkt **6** nicht wie in der **Fig. 5** aus Gründen der Sichtbarmachung dargestellt neben den Schichten 20_1, sondern unter einer Schicht 20_1.

Bei der erfindungsgemäßen Einrichtung ist vorteilhafterweise das für den chipspezifischen Kapazitätswert C_{ref} charakteristische ausgewählte Codewort X_{ref} auch im Fall einer Dekodierung dieses Wortes X_{ref} nicht verwendbar, da für die Inbetriebnahme bzw. Benutzung der Karte **1** immer eine Abtastung des Kapazitätswertes C der Kapazitätsanordnung **4** vorausgesetzt wird und mit dem gespeicherten ausgewählten Codewort X_{ref} verglichen wird. Die Möglichkeit durch Übertragen eines geknackten ausgewählten Codewortes X_{ref} einer Karte **1** auf eine andere Karte ein Duplikat der einen Karte **1** zu haben ist vollkommen ausgeschlossen, da die vom Prozeß willkürlich abgeleiteten Kapazitätsverhältnisse nicht reproduzierbar sind und die Abtastung des Kapazitätswertes C der Kapazitätsanordnung **4** der anderen Karte ein wesentlicher Bestandteil zur Gewinnung der individuellen chipspezifischen Kennung ist.

In Zusammenfassung wird bei der erfindungsgemäßen Einrichtung ein Mißbrauch der Chipkarte **1** durch Chipmanipulation durch die Abtastung des Kapazitätswertes C einer sensiblen Kapazitätsanordnung **4** ausgeschaltet, die in der den Chip **2** abdeckenden Abdeckung **3** und/oder der von der Abdeckung **3** abgedeckten Oberfläche **20** des Chips **2** ausgebildet ist. Speziell wird der Kapazitätswert C der Kapazitätsanordnung **4** mit einer SC-Oszillatorschaltung **51** abgetastet, die aus dem abgetasteten Kapazitätswert C eine Frequenz ω mit einem zu diesem Kapazitätswert C proportionalen Frequenzwert ω_c erzeugt. Dieser Frequenzwert ω_c wird in eine für diesen Wert ω_c charakteristische binär codierte Zahl A_c umgewandelt und mit einer personenspezifischen Zahl B zu einem Codewort X verknüpft. Ein erzeugtes solches Codewort X wird als ein Codewort X_{ref} ausgewählt, das als chipspezifische Kennung verwendet wird. Diese Kennung wird, beispielsweise durch einen einmaligen Initialisierungsvorgang, auf der Karte **1** gespeichert. Bei der Verwendung der Karte **1** wird wiederum der Kapazitätswert C abgetastet und das Codewort X generiert. Falls dieses mit dem gespeicherten Codewort X beispielsweise in einem einmaligen Initialisierungsvorgang übereinstimmt, wird die Kartenfunktion über verteilte Freigabepunkte **6** freigegeben. Diese Freigabepunkte **6** werden durch eine Schichtanordnung **21** mit ineinandergreifenden elektrisch leitenden Schichten 20_1 geschützt und der gesamte Chip **2** ist durch die Kapazitätsanordnung **4** vor unbefugtem Zugriff geschützt. Eine Veränderung der Kapazitätsanordnung **4** und damit deren Kapazitätswertes C von außen hat nach der Speicherung der chipspezifischen Kennung zur Folge, daß die Funktionen am Chip **2** nicht mehr freigegeben werden und somit die Chipkarte **1** unbrauchbar wird. Die chipspezifische Kennung selbst ist nicht reproduzierbar und nicht übertragbar und selbst bei einer Entschlüsselung für einen Mißbrauch nicht verwendbar.

Patentansprüche

1. Einrichtung zum Schutz gegen Mißbrauch einer Chipkarte (**1**), **gekennzeichnet durch**
   - einen auf der Karte (**1**) vorgesehenen Chip (**2**), der von einer Abdeckung (**3**) aus einem Dielektrikum gegen äußere Einflüsse geschützt ist,
   - eine in der Abdeckung (**3**) ausgebildete Kapazitätsanordnung (**4**), die einen chipspezifischen Kapazitätswert (C_{ref}) aufweist, und
   - eine im Chip (**2**) ausgebildete und an die Kapazitätsanordnung (**4**) gekoppelte Schaltungseinrichtung (**5**) zur wiederholbaren Abtastung des Kapazitätswertes (C) der Kapazitätsanordnung (**4**) und Erzeugung zumindest eines Signals (S, S') zur Freigabe einer Funktion der Karte (**1**) nur dann, wenn der abgetasteten Kapazitätswert (C) mit dem chipspezifischen Kapazitätswert (C_{ref}) übereinstimmt.
2. Einrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Kapazitätsanordnung (**4**) eine in der Abdeckung (**3**) aus Dielektrikum ausgebildete und in einem Abstand (d) vom Chip (**2**) angeordnete elektrisch leitende Schicht (**40, 40'**) aufweist.
3. Einrichtung nach Anspruch 2, dadurch gekennzeichnet, daß sich die elektrisch leitende Schicht (**40, 40'**) über den ganzen Chip (**2**) erstreckt.
4. Einrichtung nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß die Kapazitätsanordnung (**4**) eine in der Abdeckung (**3**) aus Dielektrikum ausgebildete weitere elektrisch leitende Schicht (**40', 40**) aufweist, die in einem Abstand (d') vom Chip (**2**) angeordnet und von der einen Schicht (**40, 40'**) durch ein Dielektrikum getrennt ist.
5. Einrichtung nach Anspruch 4, dadurch gekennzeichnet, daß sich die weitere elektrisch leitende Schicht (**40', 40**) über den ganzen Chip (**2**) erstreckt.
6. Einrichtung nach einem der Ansprüche 2 bis 5, dadurch gekennzeichnet, daß zumindest eine elektrisch leitende Schicht (**40, 40'**) unregelmäßig strukturiert ist.
7. Einrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß auf einer von der Abdeckung (**3**) abgedeckten Oberfläche (**20**) des Chips (**2**) zumindest eine elektrisch leitende Schicht (20_1) ausgebildet ist.
8. Einrichtung nach Anspruch 7, dadurch gekennzeichnet, daß auf der Oberfläche (**20**) des Chips (**2**) eine Schichtanordnung (**21**) aus zumindest zwei elektrisch leitenden Schichten (20_1) ausgebildet ist, zwischen denen sich ein Dielektrikum befindet.
9. Einrichtung nach Anspruch 7 oder 8, dadurch gekennzeichnet, daß die Kapazitätsanordnung (**4**) zumindest eine auf der Oberfläche (**20**) des Chips (**2**) ausgebildete elektrisch leitende Schicht (20_1) aufweist.
10. Einrichtung nach einem der Ansprüche 7 bis 9, dadurch gekennzeichnet, daß eine auf der Oberfläche (**20**)

des Chips (2) ausgebildete elektrisch leitende Schicht (20_1) unregelmäßig strukturiert ist und zumindest einen Ausgang (50) der Schaltungseinrichtung (5) zur Abgabe eines Signals (S, S') zur Freigabe einer Funktion der Karte (1) abdeckt.

11. Einrichtung nach Anspruch 8, 9 und 10, dadurch gekennzeichnet, daß die Schichtanordnung (21) zumindest zwei benachbarte elektrisch leitende Schichten (20_1) aufweist, die ineinandergreifend strukturiert sind, wobei die Schichtanordnung (21) zumindest einen Ausgang (50) der Schaltungseinrichtung (5) zur Abgabe eines Signals (S, S') zur Freigabe einer Funktion der Karte (1) abdeckt.

12. Einrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Abdeckung (3) aus Epoxidharz besteht.

13. Einrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die an die Kapazitätsanordnung (4) gekoppelte Schaltungseinrichtung (5)

- eine an die Kapazitätsanordnung (4) gekoppelte Signalerzeugungseinrichtung (51) zur wahlweisen Abtastung des Kapazitätswertes (C) der Kapazitätsanordnung (4) und jeweiligen Erzeugung eines Signals (f) mit einem Signalparameter (ω), der einen für den abgetasteten Kapazitätswert (C) charakteristischen Parameterwert (ω_c) aufweist,
- eine Codierungseinrichtung (52) zur Codierung des Parameterwertes (ω_c, ω_{ref}) des Signalparameters (ω) jedes erzeugten Signals (f) nach einem vorgebbaren Code und Erzeugung eines für diesen Parameterwert (ω_c, ω_{ref}) charakteristischen Codewortes (X, X_{ref}),

  eine Speichereinrichtung (53) zur von außen unzugänglichen Speicherung eines ausgewählten erzeugten Codewortes (X_{ref}) als Kennung des chipspezifischen Kapazitätswertes (C_{ref}) und
- eine Komparatoreinrichtung (54) zum Vergleichen eines nach der Speicherung des ausgewählten Codewortes (X_{ref}) durch Abtastung des Kapazitätswertes (C) erneut erzeugten Codewortes (X) mit dem gespeicherten ausgewählten Codewortes (X_{ref}) und Erzeugen eines Signals (S) zur Freigabe einer Funktion der Karte (1) nur dann, wenn das erneut erzeugte Codewort (X) mit dem gespeicherten ausgewählten Codewort (X_{ref}) übereinstimmt, aufweist.

14. Einrichtung nach Anspruch 13, dadurch gekennzeichnet, daß die Signalerzeugungseinrichtung (51) aus einem an die Kapazitätsanordnung (4) angeschlossenen Oszillator besteht, der ein Signal (f) einer den Signalparameter bildenden Frequenz (ω) erzeugt, deren Wert (ω_c, ω_{ref}) für den abgetasteten Kapazitätswert (C, C_{ref}) charakteristisch ist.

15. Einrichtung nach Anspruch 14, dadurch gekennzeichnet, daß die Codierungseinrichtung (52) einen Frequenzzähler (521) fester Zählperiode aufweist, der bei jeder Abtastung des Kapazitätswertes (C, C_{ref}) der Kapazitätsanordnung (4) die Frequenz (ω) des vom Oszillator (51) erzeugten Signals (f) die Dauer (T) einer Zählperiode lang zählt und nach Ablauf dieser Dauer (T) als eine den Wert (ω_c, ω_{ref}) der Frequenz (ω) charakterisierende Zahl als Codewort (A_c, A_{ref}) zur Bildung des zu erzeugenden Codewortes (X, X_{ref}) bereitstellt.

16. Einrichtung nach einem der Ansprüche 13 bis 15, dadurch gekennzeichnet, daß die Codierungseinrichtung (52) ein Codewort (X, X_{ref}) erzeugt, in welchem neben dem Parameterwert (ω_c, ω_{ref}) des Signalparameters (ω) jedes erzeugten Signals (f) ein personenspezifisches Codewort (B) enthalten ist.

17. Einrichtung nach Anspruch 15 und 16, dadurch gekennzeichnet, daß die Codierungseinrichtung (52) eine Verknüpfungseinrichtung (522) aufweist, welche jede vom Zähler (521) bereitgestellte Zahl (A_c, A_{ref}) nach einem vorgebbaren Verknüpfungsalgorithmus ((*)) mit einer das personenspezifische Codewort (B) bildenden Zahl verknüpft und die durch die jeweils miteinander verknüpften Zahlen (A_c, B; A_{ref}, B) gebildete Zahl (A_c(*)B, A_{ref}(*)B) als das zu erzeugende Codewort (X, X_{ref}) bereitstellt.

18. Einrichtung nach einem der Ansprüche 13 bis 17, dadurch gekennzeichnet, daß die Codiereinrichtung (52) mit der Speichereinrichtung (53) durch eine Übertragungsleitung (530) zur Übertragung des von der Codiereinrichtung (52) erzeugten ausgewählten Codewortes (X_{ref}) in die Speichereinrichtung (53) verbunden ist, und daß eine Einrichtung (531) zur irreversiblen Unterbrechung der Übertragungsleitung (530) von außen nach einer Speicherung des erzeugten ausgewählten Codewortes (X_{ref}) als die Kennung des chipspezifischen Kapazitätswertes (C_{ref}) vorgesehen ist.

19. Einrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das Freigabesignal (S') auf in verschiedenen Freigabepunkten (6) auf der Oberfläche (20) des Chips (2) angeordnete Ausgänge (50) des Chips (2) verteilt ist.

Hierzu 4 Seite(n) Zeichnungen

Nummer: DE 197 38 990 A1
Int. Cl.[6]: G 06 K 19/073
Offenlegungstag: 11. März 1999

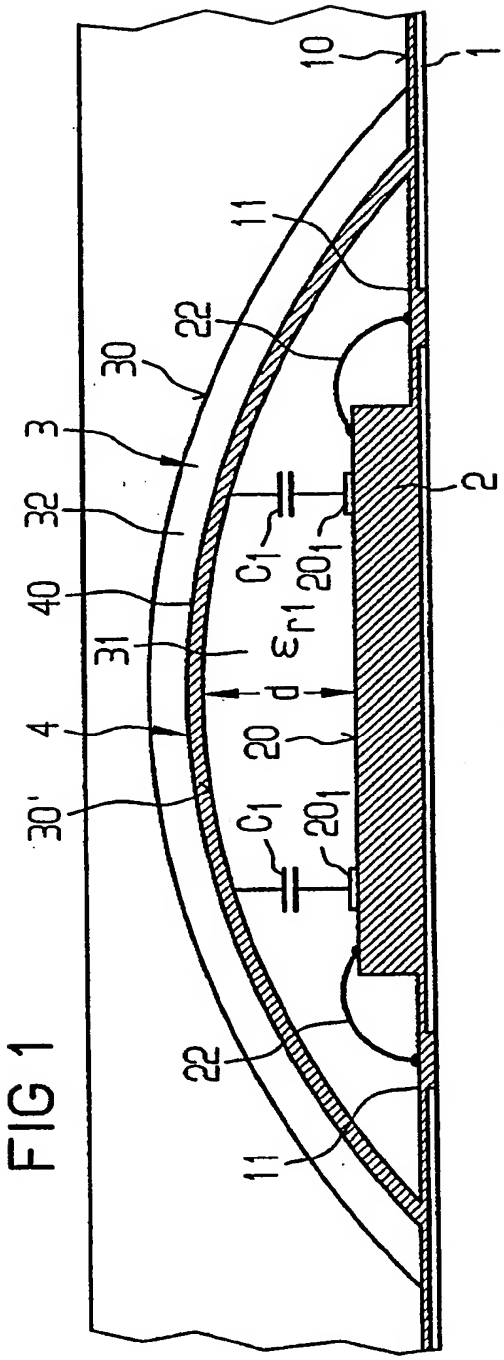


FIG 1

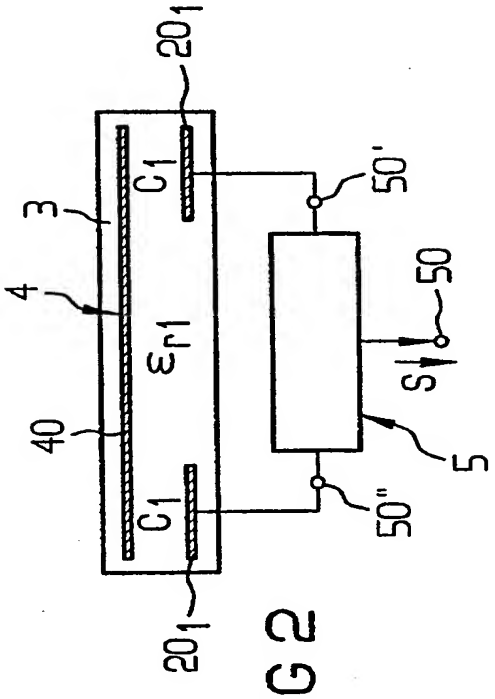


FIG 2

Nummer: DE 197 38 990 A1
Int. Cl.[6]: G 06 K 19/073
Offenlegungstag: 11. März 1999

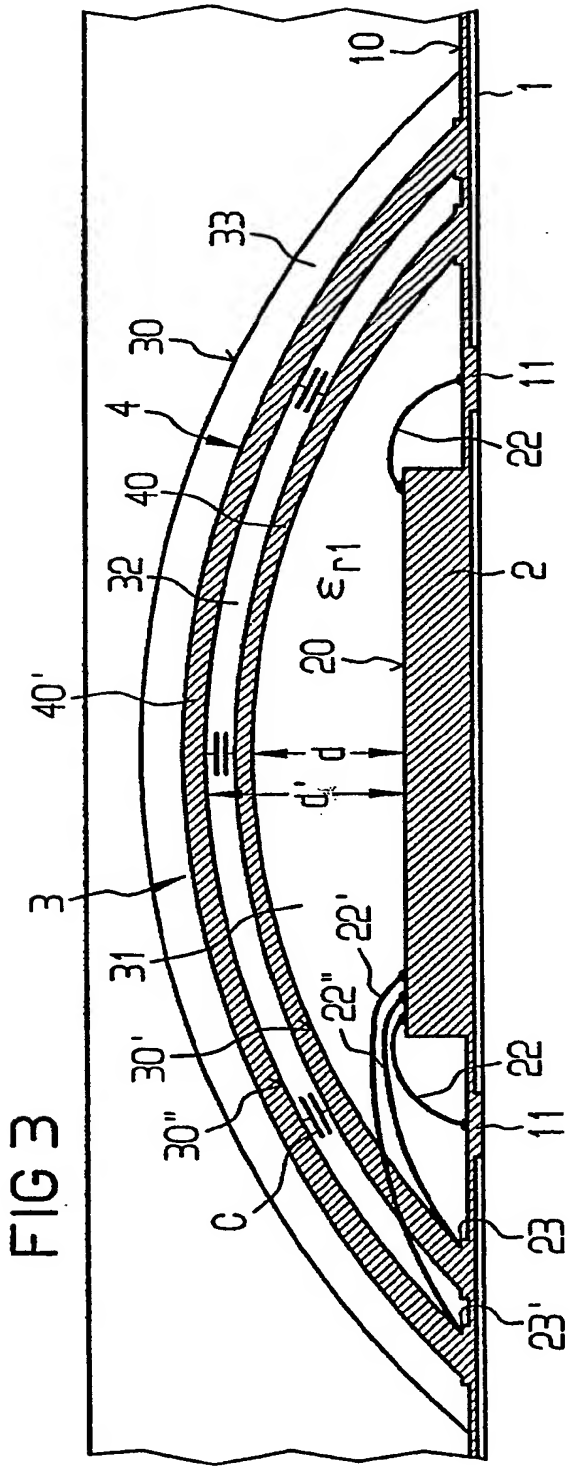


FIG 3

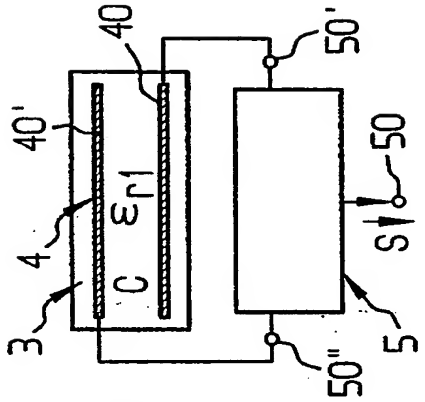


FIG 4

Nummer: DE 197 38 990 A1
Int. Cl.[6]: G 06 K 19/073
Offenlegungstag: 11. März 1999

FIG 5

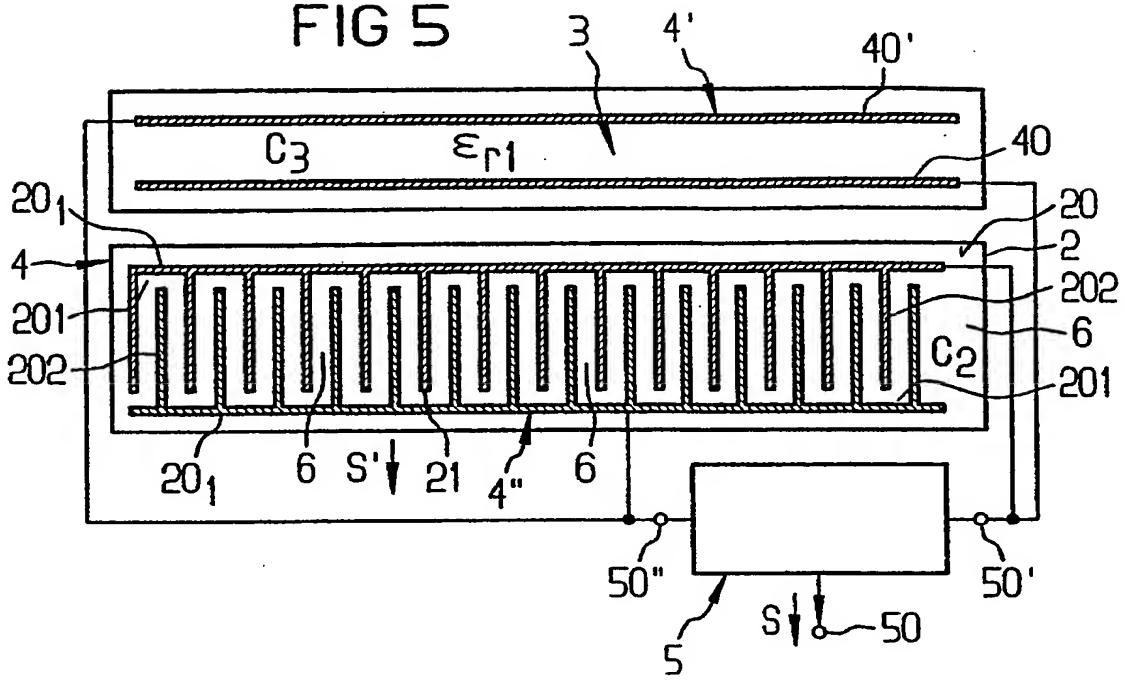
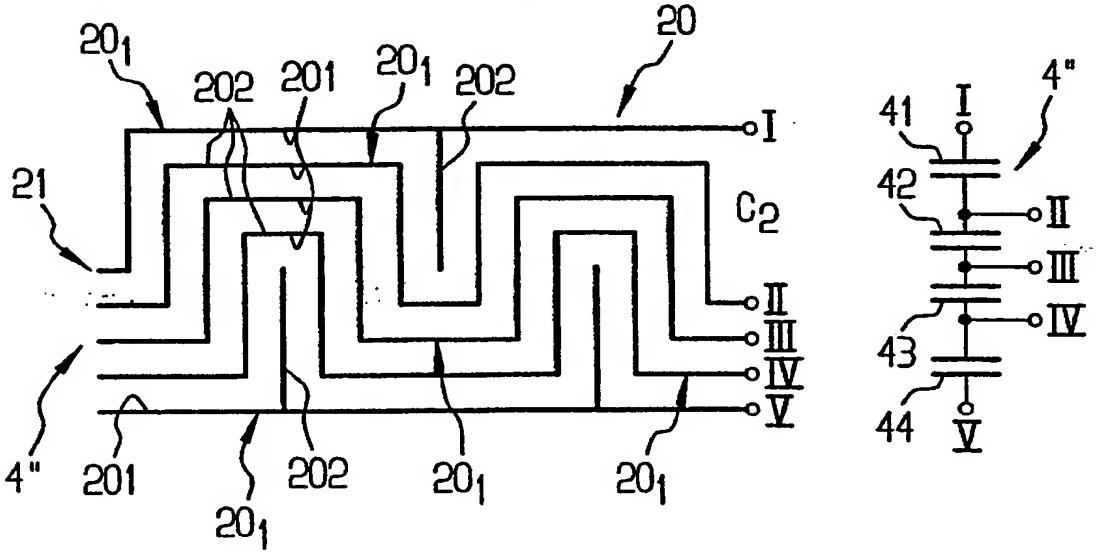


FIG 6



Nummer: DE 197 38 990 A1
Int. Cl.[6]: G 06 K 19/073
Offenlegungstag: 11. März 1999

FIG 7